

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-013912

(43)Date of publication of application : 17.01.1995

(51)Int.Cl.

G06F 13/12

(21)Application number : 05-184537

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 28.06.1993

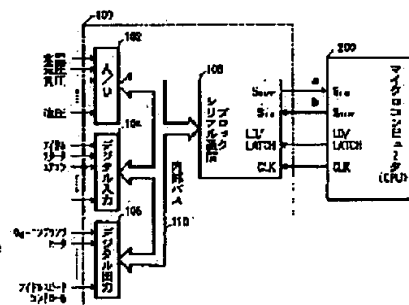
(72)Inventor : MURAKAMI KENJI  
NOMURA HAJIME  
GOTO YOSHIFUMI

## (54) INPUT AND OUTPUT PROCESSING IC

### (57)Abstract:

PURPOSE: To make an input and output processing IC compact by reducing a load on a CPU.

CONSTITUTION: In an input and output processing IC 100 for a vehicle control equipment in which an A/D converter 102, digital input 104, and digital output 106 are integrated into one chip, each block is connected through an inside bus 110. The input and output processing IC 100 is connected through four lines, that is, Sin, Sout, CLK, and LD/LATCH with a microcomputer 200, and serial communication is operated with the microcomputer side by a serial communication block 108. At the time of simultaneously transferring data with the microcomputer side, a shift register is prepared on each side, and the shift destination of high-order bits is the low-order bits of the other shift register. Thus, the transmission of instruction data and the reception of input data can be simultaneously attained, and a processing time can be shortened. A command for instructing A/D conversion or input, and bits for designating a channel or output data are prepared for the head of the transmitted instruction data.



BEST AVAILABLE COPY



【0013】また、A/D変換の場合は、データの精度を保つためにデジタルのビット数ある桁数必要とすることが多い。ここで図5に示すように、A/D変換データを10ビットとした場合、シフトレジスタはそれぞれ16ビットノドとしてある。図5(a)はマイコン側の指令データとして最初の3ビットにA/D変換のコマンドがセットされ、続く5ビットにA/D変換のデータが指定されている(5ビット=32ch分)。残りの8ビットはデジタル出力データがセットされる。A/D変換に対しては、指定したチャンネルの変換の指令をマイコンから送ってから変換することになるので、その指令で得られる変換データは次のステップでマイコンへ送信されることになる。またそのために、送信されてくるデータの先頭にA/D変換を示すコマンドと続いてチャンネルを指定するビットが用意される。

【0014】送信されてくるコマンドがA/D変換なのか入力指示なのかは、送られてきた最初の3ビットのコマンドビットで判定できるので、予めシフトレジスタAにはA/D変換データと入力データ6つをセットしておき(図5(b))、通信を開始する。そしてコマンドが送られてきた時点で判定して入力コマンドと判定した時点(図5(c))で、A/D変換データは不要なので、途中からデータに置き換えることができる。この場合、予めセットされたデータは6ビット分マイコン側に送信した後にA/D変換データを入力データと置き換える(図5(d))。このため付け加えられる入力データは10ビット分であり、最初から送られる6ビットと合わせて16ビットの入力データが送られる。この場合、最初の6ビットはどのコマンドにおいても必ず送信されるので、そのビットには必要度の高い入力データを優先的に配置しておくことで効率的な利用ができる。このような方式でコマンドの送りにより、必要とする入力データ数の切り換えを自由に設定できる。

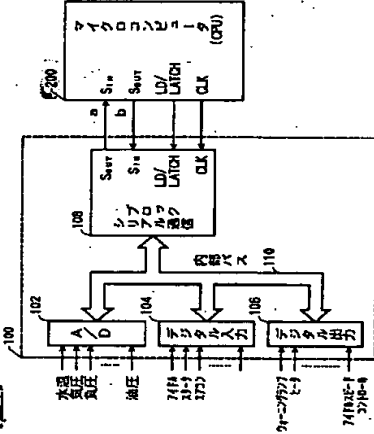
【0015】このA/D変換の場合のCPU側のルーチン処理は図5(e)のようなフローチャートで処理される。この入出力処理は定期的に行う必要があり、例えば2msごとにタイマルーチン化されている。図5(e)は従来の図8の様な個々の入出力Cの場合で、入力と出力の処理はそれぞれ前回に指示したA/D変換のデータを送信するステップ802、806、808、612があり、この一連の処理の前には必ず前回に指示したA/D変換のデータを送信し、それからシリアル通信の処理を行い、最後に次のA/D変換の指示を行っておく、というフローチャート構成であった。このためプログラムも行数が増え、処理速度もかかっていった。それに対し、本発明の構成では図5(f)の様にコントロール信号は一度の処理(ステップ700、704)でシリアル処理の中で入出力処理を一括して行ってしまうため、ステップ702ひとつで済み、処理時間も短縮できる。このため処理ステップが短く済むため、プログラムの実行においてオーバータイムとなるような可能性が減少し、簡単な動作を促進する。

【0016】入出力処理ICの側での処理について、CPUからの指令データの命令データにA/D変換が含まれている場合の処理のフローチャートを図6に示す。ステップ800で最初の3ビットがA/D変換か入力データの判定を行い、A/D変換の場合は、そのままステップ802でコマンドを送信し、ステップ804でA/D変換データを送信し、つぎのA/D変換の処理準備をする。図5のシフトレジスタ構成の場合は、A/D変換コマンドが3ビットと指定チャンネルが5ビット分であるので、8ビット分送信された時点でデータサンプリングが可能となる。同時に送出する入力済みのデータも既に8ビット分送信されているため、A/D変換データが10ビットであることから、2ビット分既にA/D変換データが送られてしまっている。そのため送られるA/D変換データは一つ前の指示によるデータである。送られた3ビットのコマンドが入力指示であれば、ステップ806に移り、ステップ806でコマンドを入力バッファへ送り、ステップ810で、ステップ804と同様に出力処理を処理する。なお、このフローチャートはソフト的にはチップ内にROMを形成することで実現でき、ハード的にはロジックを組んで形成することで実現できる。

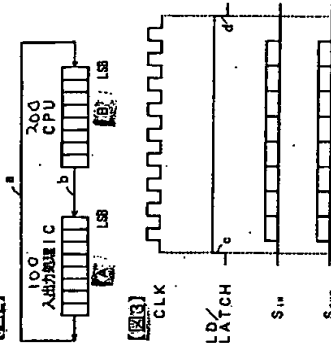
【0017】以上のように、本発明の入出力処理ICによって、入出力処理は非常にスマートな処理が実現でき、ハードウェア的にもすっきりとした構成となるため、装置も非常にコンパクトにすることができ、CPUの性能向上にも役立てることができる。図6に示すように、本発明の入出力処理ICは、他の機能に割り当てることができる。図6に示すように、本発明の入出力処理ICは、他の機能に割り当てることができる。

図面

【図1】



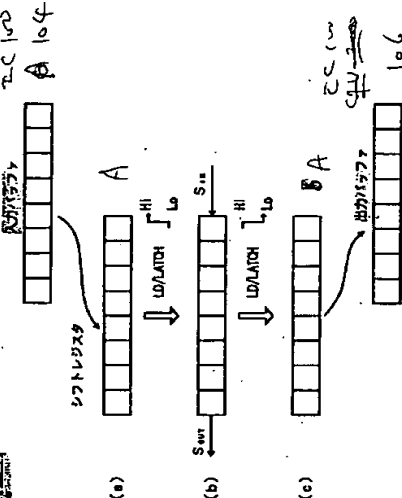
【図2】



c: パラレル入力データを指定してシフトレジスタへ転送

d: シリアルデータを送信してシフトレジスタから出力バッファへ転送

【図4】



【図5】

BEST AVAILABLE

c: シリアルデータを送信してシフトレジスタへ転送  
d: シリアルデータを送信してシフトレジスタから出力バッファへ転送

